

#2/Priart...
No. 1036 US

JC997 U.S. PTO
09/907373
07/17/01

日本国特許庁
JAPAN PATENT OFFICE

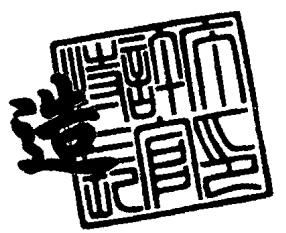
別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application: 2000年 7月18日
出願番号
Application Number: 特願2000-216974
出願人
Applicant(s): ソニー株式会社

2001年 6月 7日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3053369

【書類名】 特許願

【整理番号】 0000241001

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/205
H01L 21/77

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 水村 章

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された絶縁膜の少なくとも一部を露出させた状態で、当該絶縁膜の上層パターンをドライエッチングする工程と、前記絶縁膜の表面を当該絶縁膜の成膜雰囲気中に晒す工程とを行うことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、前記絶縁膜は、化学的気相成長法によって形成されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に関し、特に T A T (Turn Around Time) の向上を図ることが可能な半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置の集積度の加速度的な上昇にともない、各レイヤー間の平面的な距離が著しく縮小され、これらの間の絶縁耐圧を確保することが難しくなってきた。

【0003】

ところで、半導体装置の製造工程においては、導電層を覆う絶縁膜の表面がドライエッチングに晒される場合がある。図 4 には、このような工程を含む半導体装置の製造工程の一部を示す。この図に示す製造工程は、先ず図 4 (1) に示すように、基板 1 上に形成されたゲート配線 2 を覆う状態で 30 nm 程度の膜厚の絶縁膜 3 を形成する。次に、上部にポリシリコン膜を形成し、このポリシリコン膜をエッチバックすることで、ゲート配線 2 の側壁に絶縁膜 3 を介してポリシリコンからなるサイドウォール 4 を形成する。そして、このサイドウォール 4 上から、ソース/ドレイン (図示省略) 形成のためのイオン注入を行う。

【0004】

その後、図4(2)に示すように、絶縁膜3上のサイドウォール4を選択的に除去する。この際、サイドウォール4の下地である絶縁膜3がエッチング雰囲気によってダメージを受ける。このため、絶縁膜3の表面が脆くなりピンホールが発生し、絶縁性が低下することになる。

【0005】

そこで、図4(3)に示すように、絶縁膜3と同一材料または異なる材料からなる絶縁膜6を10nm~50nmの膜厚で成膜することによって、ダメージを受けた絶縁膜4を補強する。以上の後、図4(4)に示すように、基板1上の凹凸を埋め込む状態で層間絶縁膜7を形成してその表面を平坦化する。次いで、層間絶縁膜7及び絶縁膜3、6に、基板1に達する接続孔8を形成し、接続孔8内に導電性材料を埋め込んでプラグ9を形成する。

【0006】

このような製造方法によれば、新たに形成した絶縁膜6によってダメージを受けた絶縁膜4を補強し、プラグ9とゲート配線2との間の絶縁耐圧を確保するようにしている。

【0007】

【発明が解決しようとする課題】

近年、半導体装置の高機能化の進展に伴い、半導体装置の製造工程においては工程数の増加が著しく、TAT (Turn Around Time) が延長される傾向にある。ところが、上述した製造方法においては、すでに形成されている絶縁膜3を補強するために、新たに絶縁膜6を成膜している。これは半導体装置製造におけるTATをさらに低下させる要因になっている。

【0008】

そこで本発明は、ダメージを受けた絶縁膜の耐圧を確保しながらもTATの向上を図ることが可能な半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

このような目的を達成するための本発明の半導体装置の製造方法は、基板上に

形成された絶縁膜の少なくとも一部を露出させた状態で、当該絶縁膜の上層をドライエッチングした後、この絶縁膜の表面を当該絶縁膜の成膜雰囲気中に晒すことを特徴としている。

【0010】

このような製造方法によれば、ドライエッチング雰囲気に晒されることによって絶縁膜表面に加えられたダメージが、当該絶縁膜の成膜雰囲気に晒されることによって修復される。具体的には、ドライエッチング雰囲気に晒されることで絶縁膜の表面側に生じたピンホール内に、絶縁膜の成膜ガスが入り込み、これによってピンホール内が埋め込まれ、絶縁膜の膜質（例えば絶縁性）がドライエッチング前と同等にまで回復する。このため、この絶縁膜上に、膜厚を有するあらたな絶縁膜を成膜することなく、ドライエッチング雰囲気に晒された絶縁膜の絶縁性を回復させることができる。

【0011】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。ここでは、DRAMとLogicとを同一基板上に形成するLogic in DRAMプロセスに本発明の半導体装置の製造方法を適用した実施の形態を、図1及び図2の断面工程図に基づいて説明する。

【0012】

まず、図1(1)に示すように、シリコンからなる基板101を用意し、この基板101のDRAM形成領域a及びLogic形成領域bの表面層に、膜厚270nmの酸化シリコンからなる素子分離102を形成する。

【0013】

次に、素子分離102が形成された基板101上に、100nmの膜厚の非晶質シリコン（リンドーブトアモルファスシリコン：以下、PDASと記す）、100nmの膜厚のタングステンシリサイド、30nmの膜厚の酸化窒化シリコンを順に形成する。次いで、800℃で10分間のアニール処理を行った後、これらの材料膜をパターンエッチングすることで、基板101上にポリサイド構造のゲート配線103を形成する。このゲート配線103は、DRAM形成領域aに

おいてはワード線としても用いられる。また、ゲート配線103の上面には、酸化窒化シリコン膜が設けられた状態になる。

【0014】

次に、これらのゲート配線103を覆う状態で、TEOS膜104、すなわち、TEOS (tetraethoxy silane) ガスを用いたCVD (chemical vapor deposition) 法によって得られる酸化シリコン膜を30nmの膜厚に形成する。この際の成膜条件は、例えば、成膜ガス流量TEOS : N₂ = 130 cm³/分 : 50 cm³/分、成膜温度700℃、成膜雰囲気内ガス圧力50Pa、成膜時間15分に設定される。尚、本実施形態においては、このTEOS膜104が請求項に示す絶縁膜となる。

【0015】

しかる後、850℃、28分間の熱酸化法を行うことによって、基板101の露出面上に7nm相当の膜厚の酸化シリコン膜を形成(図示省略)する。これによって、以降に行われる拡散層形成のためのイオン注入におけるチャネリングの防止、及びゲート配線103と基板101との間にゲートバズピークを形成してゲート耐圧の収率の向上を図る。

【0016】

その後、TEOS膜104上に、PDASを140nmの膜厚で形成し、次いでゲート配線103の側壁にのみPDASを残すようにPDASをエッチバックする。これによって、ゲート配線103の側壁に、TEOS膜104を介してPDASからなるサイドウォール105を形成する。そして、必要領域上にマスクパターンを形成した後、このマスクパターン及びサイドウォール105上からソース・ドレイン(図示省略)を形成するためのイオン注入を行う。尚、本実施形態においては、このサイドウォール105が請求項に示す上層パターンになる。

【0017】

次に、図1(2)に示すように、サイドウォール105をドライエッチングし、TEOS膜104上からサイドウォール105を除去する。このドライエッチングでは、エッチングガスに酸素(O₂)/4フッ化メタン(CF₄)を用いる。この際、ガス流量をO₂ : CF₄ = 60 cm³/分 : 150 cm³/分、エッチング雰

雰囲気内ガス圧力を40Pa、印加電圧700Wに設定して29秒間のケミカルドライエッチングを行い、TEOS膜104上のサイドウォール105を完全に除去する。

【0018】

次いで、図1(3)に示すように、TEOS膜104の表面を、上述のTEOS膜104を成膜する際と同様の成膜雰囲気中に晒す。ただしこの際、TEOS膜104上に新たにTEOS膜の成膜を行う必要はなく、図1(2)のエッチング工程でTEOS膜104に加えられたダメージが快復する程度の時間(例えば10秒~数十秒程度)だけ、TEOS膜の成膜雰囲気に晒し、TEOS膜104の表面に新たな膜が付き始めたところで処理を終了させる。このため、この工程で新たにTEOS膜が成膜されたとしても、その膜厚は10nm未満、例えば数nmであることとする。

【0019】

以上の後、図2(1)に示すように、基板1上の凹凸を埋め込む状態で、成膜ガスにオゾン(O₃)を用いて、550nmの膜厚のNSG(non-doped silicate glass)膜と350nmの膜厚のBPSG(BPSG boro phospho silicate glass)膜とを順次積層してなる層間絶縁膜201を形成する。

【0020】

次いで、この層間絶縁膜201を、エッチングガスに4フッ化メタン(CF₄)／アルゴン(Ar)を用いたエッチングによって全面エッチバックし、表面を平坦化する。この際、ガス流量をCF₄:Ar=40cm³/分:800cm³/分、エッチング雰囲気内ガス圧力を240Paに保ってエッチングを行う。

【0021】

次に、層間絶縁膜201上に、レジストパターン(図示省略)を形成し、このレジストパターン上からのエッチングによって、層間絶縁膜201及びTEOS膜104に、DRAM領域のソース／ドレイン(図示省略)に接続される溝状の接続孔202を形成する。次いで、接続孔202内を埋め込む状態で層間絶縁膜201上にPDASを形成した後、このPDASをエッチバックし、さらにCMP(Chemical Mechanical Polishing)を行うことによって、接続孔201内に

P D A S を埋め込んでなるビットコンタクト 203 を形成する。

【0022】

次に、図 2 (2) に示すように、層間絶縁膜 201 上に、ビットコンタクト 203 に接続される状態で膜厚 100 nm の P D A S からなる配線 204 を形成する。次いで、オゾン (O_3) を用いた成膜によって、層間絶縁膜 201 上に膜厚 350 nm の B P S G 膜 205 を形成して配線 204 を覆った後、850℃で10分間のリフロー処理を行う。

【0023】

次いで、B P S G 膜 205 及び層間絶縁膜 201 に、配線 204 及び L o g i c 形成領域のゲート配線 103 に達する接続孔 206 を形成する。そして、この接続孔 206 内を埋め込む状態で、密着層を介してタングステン膜を形成する。密着層は、上層から順にチタン (T i) /窒化チタン (T i N) /T i = 5 nm / 50 nm / 30 nm とし、この密着層を形成した後に、R T A (Rapid Thermal Annealing) (650℃、30秒) を施し、次いでタングステンを 600 nm の膜厚で形成する。しかる後、エッチバックによって B P S G 膜 205 上のタングステン及び密着層を除去し、配線 204 及びゲート配線 103 に接続されたプラグ 207 を形成する。

【0024】

次いで、この B P S G 膜 205 上に、プラグ 207 に接続するメタル配線 208 を形成した後、400℃で60分のシンタ処理 (熱処理) を行う。メタル配線 208 は、例えば上層から、P-T E O S / T i / T i N / T i / A l C u / T i / T i N / T i = 50 / 5 / 100 / 5 / 250 / 5 / 20 / 20 nm の順で積層された材料膜をパターンエッチングすることによって形成される。

【0025】

以上の後、ここでの図示は省略したが、500 nm の膜厚のプラズマ T E O S 膜をオーバーコート層として形成し、必要部分に窓あけを行い、半導体装置を完成させる。

【0026】

以上説明した半導体装置の製造方法では、図 1 (2) を用いて説明した工程で

、TEOS膜104上のサイドウォール105を除去する際、TEOS膜104の表面がサイドウォール105除去のためのドライエッチング雰囲気中に長時間晒される。このため、このTEOS膜104は、このドライエッチングによるダメージを受ける。そして、図3(1)の拡大断面図に示すように、TEOS膜104の表面側には、多数のピンホールAが発生して脆くなる。

【0027】

そこで、この工程に続く図1(3)を用いて説明した工程においては、TEOS膜104の表面をTEOS膜104を成膜する際と同様の成膜雰囲気に晒す。これによって、図3(2)に示すように、TEOS膜104のピンホールA内に、TEOS膜の成膜ガスが入り込み、これによってピンホールA内が埋め込まれる。この結果、ドライエッチングに晒されることによって生じたTEOS膜104のダメージ(ピンホール)が修復され、TEOS膜104の膜質がドライエッチング前と同等にまで回復するのである。

【0028】

この際、TEOS膜104上に、厚みを有する新たなTEOS膜を成膜する必要なく、成膜雰囲気内に十秒～数十秒程度の短時間、TEOS膜104表面を晒すだけで良い。したがって、新たな膜を成膜してTEOS膜104を補強する場合と比較して、処理時間を大幅に短縮することができる。この結果、半導体装置製造のTATの短縮を図ることが可能になる。

【0029】

以上説明した製造工程において、ビットコンタクト203の形成位置をパラメータとして半導体装置を製造し、ビットコンタクト203-ワード線103間の絶縁耐圧を測定した。その結果、ビットコンタクト203とワード線103との間隔が初期のTEOS膜104の膜厚(30nm)よりも薄い20nmであっても、十分な絶縁耐圧が得られており、TEOS膜104の膜質が回復していることが確認された。

【0030】

尚、以上の実施形態においては、TEOS膜104のダメージを修復する場合を例にとって説明を行った。しかし、本発明は、TEOS膜に限定されることは

なく、CVD法によって成膜される絶縁膜であれば、その絶縁膜の成膜雰囲気
に晒すことで同様の効果を得ることが可能である。

【0031】

【発明の効果】

以上説明したように、本発明の半導体装置の製造方法によれば、絶縁膜表面を
当該絶縁膜の成膜雰囲気に晒すことによって、当該絶縁膜表面のダメージを修復
することができる。したがって、この絶縁膜上に膜厚を有する新たな絶縁膜を成
膜することなく、絶縁膜の膜質を回復させて耐圧を確保することが可能になり、
半導体装置製造におけるTATの向上を図ることが可能になる。

【図面の簡単な説明】

【図1】

実施形態における半導体装置の製造方法を示す断面工程図（その1）である。

【図2】

実施形態における半導体装置の製造方法を示す断面工程図（その2）である。

【図3】

実施形態を詳しく説明するための要部拡大断面図である。

【図4】

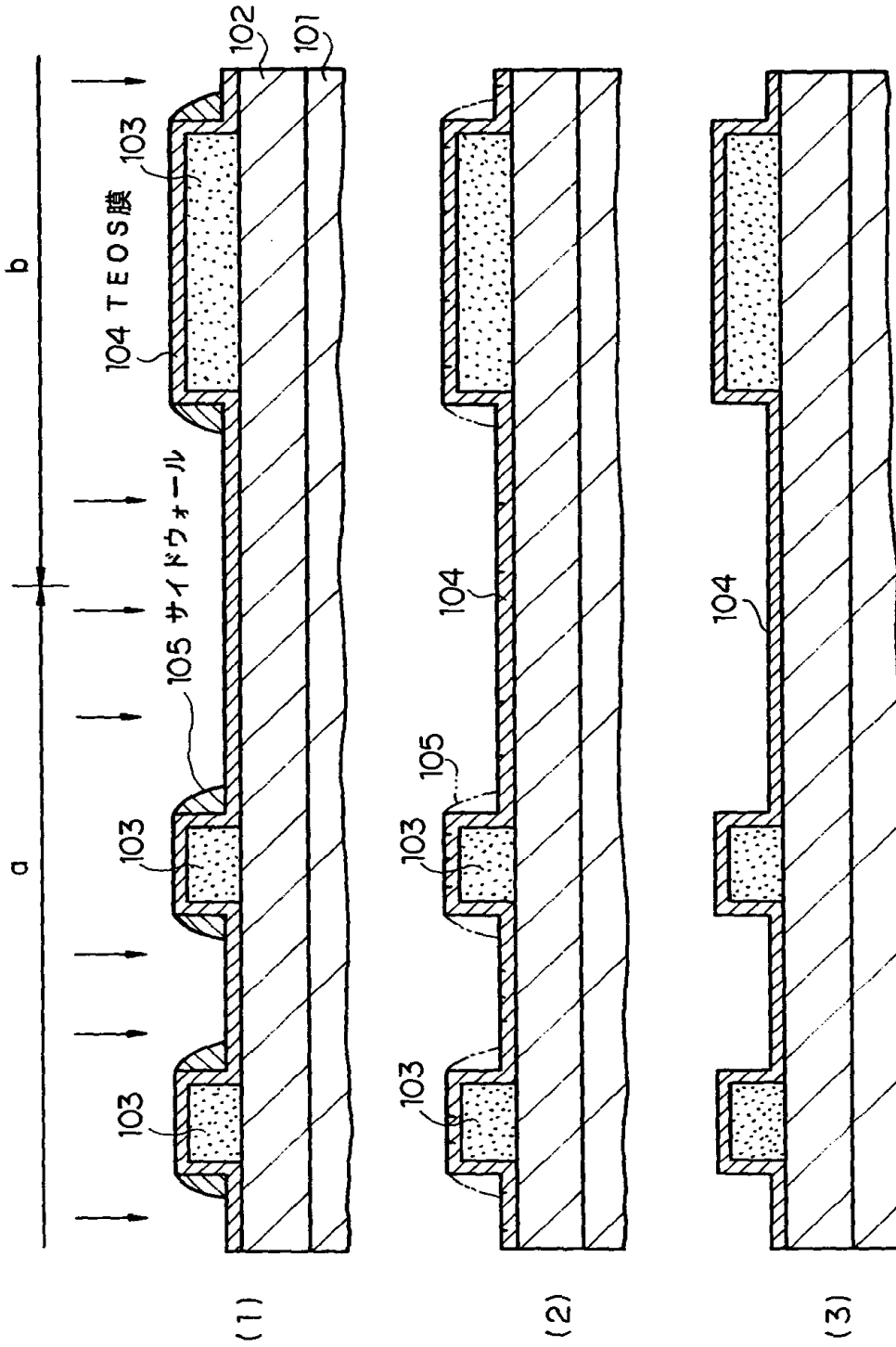
従来の製造方法を示す断面工程図である。

【符号の説明】

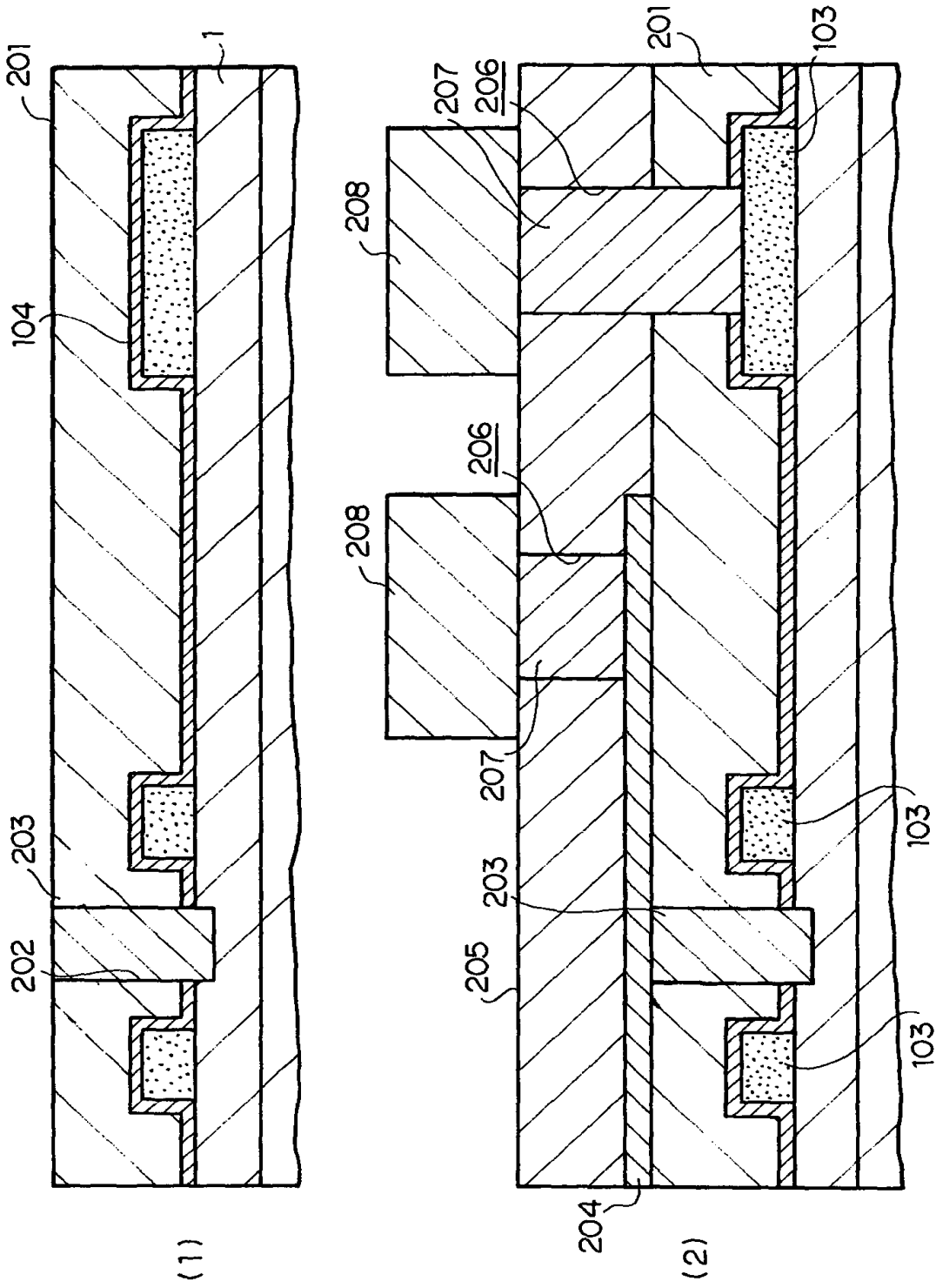
101…基板、104…TEOS膜（絶縁膜）、105…サイドウォール（上
層パターン）

【書類名】 図面

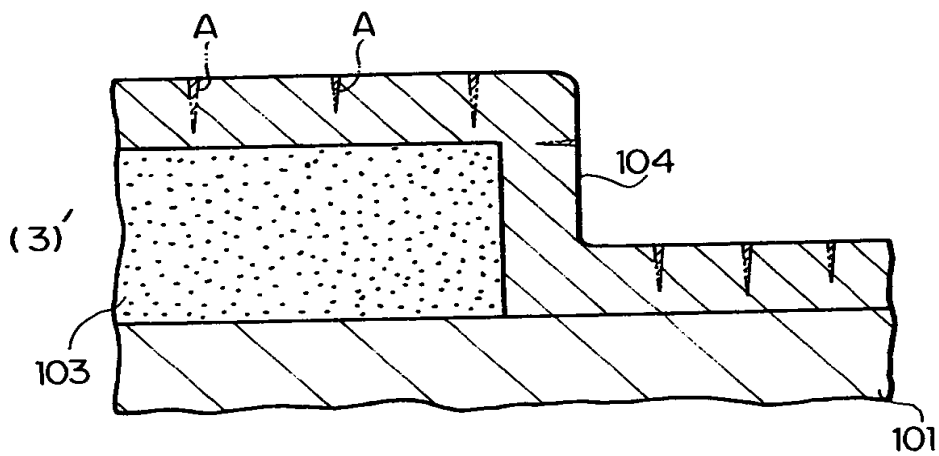
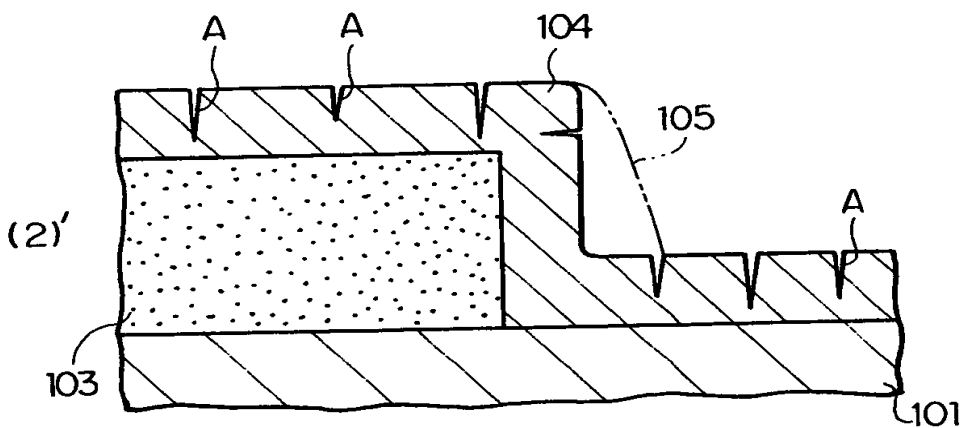
【図1】



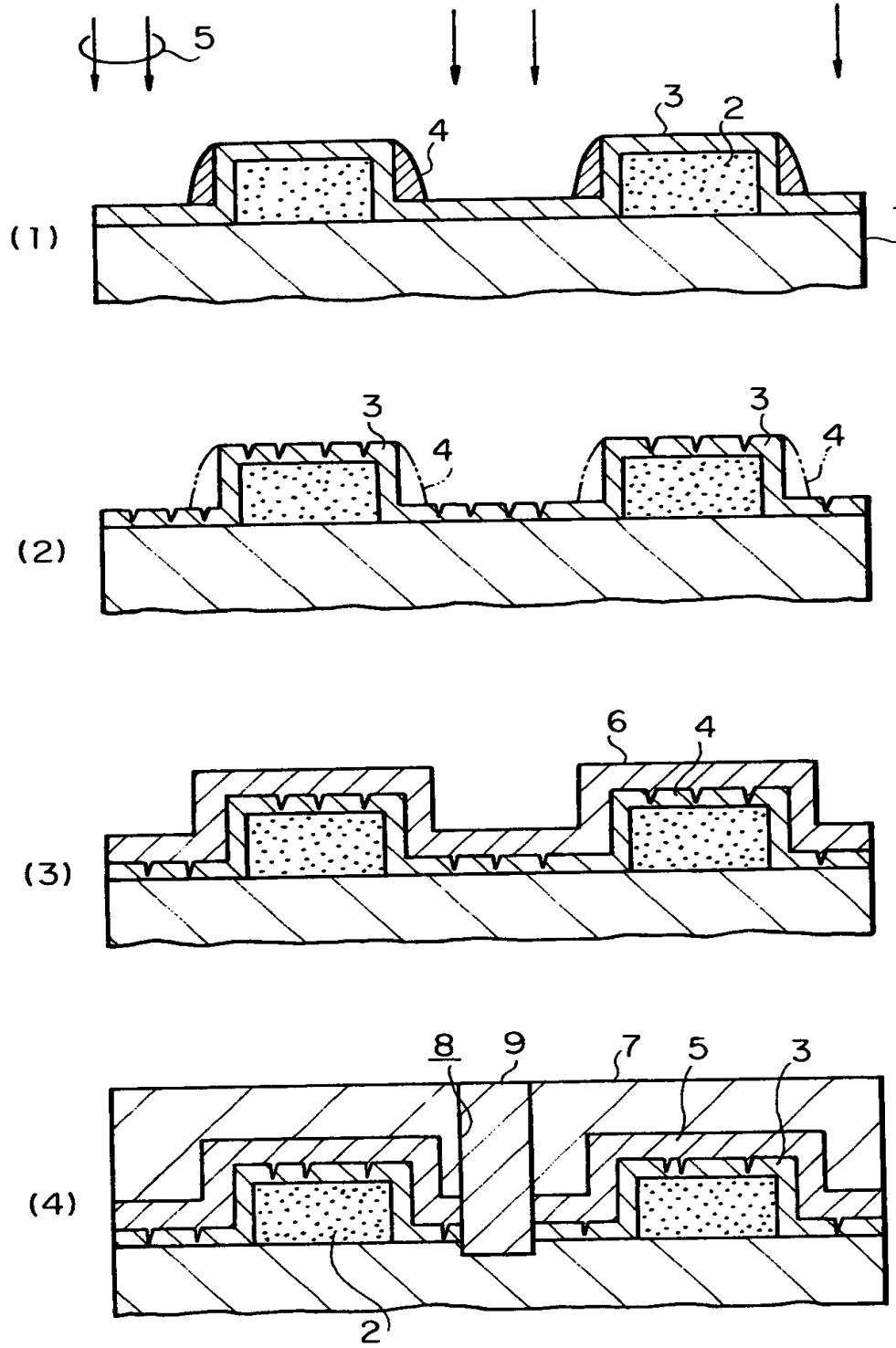
【図2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 ダメージを受けた絶縁膜の耐圧を確保しながらもTATの向上を図ることが可能な半導体装置の製造方法を提供することを目的とする。

【解決手段】 基板101上のゲート配線103を覆う状態でTEOS膜104を形成し、このTEOS膜104を介してゲート配線103の側壁にサイドウォール105を形成する。サイドウォール105上からのイオン注入を行った後、ドライエッチングによってサイドウォール105を除去する。しかる後、TEOS膜104の表面を、TEOS膜の成膜雰囲気中に晒す。これによって、サイドウォール105除去のためのドライエッチングでTEOS膜の表面に与えられたダメージを修復する。そして、補強のための新たな成膜を行うことなくTEOS膜の絶縁耐圧を確保する。

【選択図】 図3

特2000-216974

認定・付加情報

特許出願の番号	特願2000-216974
受付番号	50000905655
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 8月 7日

<認定情報・付加情報>

【提出日】 平成12年 7月18日

次頁無

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社